

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-058324

(43)Date of publication of application : 03.03.1995

(51)Int.Cl.

H01L 29/78

(21)Application number : 06-150286

(71)Applicant : XEROX CORP

(22)Date of filing : 01.07.1994

(72)Inventor : MOJARDI MOHAMAD M
VO TUAN
LERMA JAIME
BUHLER STEVEN A

(30)Priority

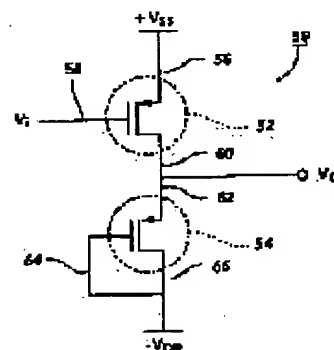
Priority number : 93 88945 Priority date : 12.07.1993 Priority country : US

(54) INTEGRATED DEVICE HAVING MOS TRANSISTORS ENABLING POSITIVE AND NEGATIVE VOLTAGE SWINGS

(57)Abstract:

PURPOSE: To obtain an integrated circuit applicable to negative voltage swing in which a output transistor can withstand an ESD impact by connecting the drain of a p-channel metal oxide silicon field effect transistor with a voltage lower than the ground potential of a substrate and connecting the source thereof with a voltage higher than the ground potential of the substrate.

CONSTITUTION: A PMOS transistor 52 has a source 56 connected with a positive voltage +VSS, a gate 58 connected with an input voltage V_i and a drain 60 connected with the source 62 of a PMOS transistor 54. In order to provide the transistor 54 with functions as an active resistor, the gate 64 is connected with a drain 66 which is connected with a negative voltage -VDD. According to the arrangement, the output transistor can withstand ESD impacts, and the integrated circuit is useable in the application to negative voltage swing.



LEGAL STATUS

[Date of request for examination] 17.07.2000

[Date of sending the examiner's decision of rejection] 28.10.2002

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-58324

(43) 公開日 平成7年(1995)3月3日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78		7514-4M	H 0 1 L 29/78	3 0 1 K

審査請求 未請求 請求項の数1 OL (全9頁)

(21) 出願番号 特願平6-150286

(22) 出願日 平成6年(1994)7月1日

(31) 優先権主張番号 08/088945

(32) 優先日 1993年7月12日

(33) 優先権主張国 米国 (US)

(71) 出願人 590000798

ゼロックス コーポレーション

XEROX CORPORATION

アメリカ合衆国 ニューヨーク州 14644

ロチェスター ゼロックス スクエア

(番地なし)

(72) 発明者 モハマド エム モジャラディ

アメリカ合衆国 カリフォルニア州

90025 ロサンゼルス 107 ソルテア ア

ベニュー 1312

(74) 代理人 弁理士 中村 稔 (外6名)

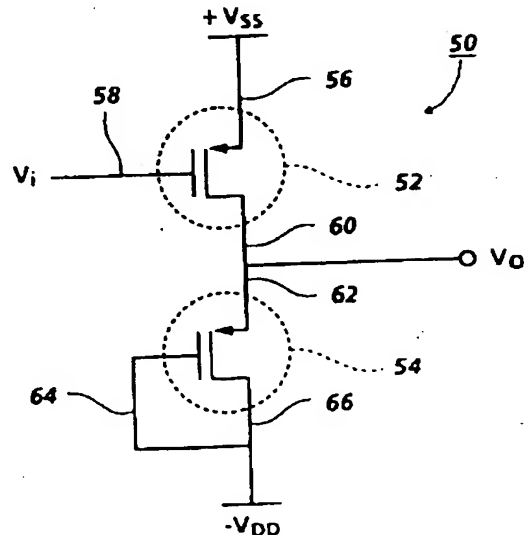
最終頁に続く

(54) 【発明の名称】 正及び負電圧スウィングを可能にするMOSトランジスタを有する集積装置

(57) 【要約】

【目的】 相補形金属酸化物シリコン電界効果 (CMOS) 回路に組み込まれた金属酸化物シリコン電界効果 (MOSFET) トランジスタを利用することにより p 型及び n 型基板に関して大きな負及び正電圧スウィングを実現する技法を提供する。

【構成】 本発明の集積装置は、p 型の基板と、複数の p チャネル型金属酸化物シリコン電界効果トランジスタと、複数の n チャネル型金属酸化物シリコン電界効果トランジスタとを備え、p チャネル型金属酸化物シリコン電界効果トランジスタ及び n チャネル型金属酸化物シリコン電界効果トランジスタのそれぞれは、ソース、ドレイン及びゲートを有し、基板は、地電位に接続され、p チャネル型金属酸化物シリコン電界効果トランジスタの少なくとも一つのドレインは、基板の地電位以下の電圧に接続され、かつ p チャネル型金属酸化物シリコン電界効果トランジスタの少なくとも一つのソースは、基板の地電位以上の電圧に接続される。



【特許請求の範囲】

【請求項1】 p型の基板と、複数のpチャネル型金属酸化物シリコン電界効果トランジスタと、複数のnチャネル型金属酸化物シリコン電界効果トランジスタとを備え、前記pチャネル型金属酸化物シリコン電界効果トランジスタ及び前記nチャネル型金属酸化物シリコン電界効果トランジスタのそれぞれは、ソース、ドレイン及びゲートを有し、前記基板は、地電位に接続され、前記pチャネル型金属酸化物シリコン電界効果トランジスタの少なくとも一つの前記ドレインは、前記基板の前記地電位以下の電圧に接続され、かつ前記pチャネル型金属酸化物シリコン電界効果トランジスタの少なくとも一つの前記ソースは、前記基板の前記地電位以上の電圧に接続されることを特徴とする集積装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、一般に、ディスクリート要素で構成される電圧スウィング回路(voltage swing circuit)に関し、より特定的には、静電放電(ESD)衝撃に耐える電圧スウィング回路を組み込んだ集積回路に関する。

【0002】

【従来の技術】典型的に、負電圧スウィング回路は、ディスクリート要素で構成される。図1を参照すると、負の電圧スウィングを供給することが可能な従来技術のRS232ドライバ10の回路図が示されている。この回路は、ディスクリートなPMOSTランジスタ12とディスクリートな抵抗14で構成される。この回路において、PMOSTランジスタ12のソース16は、正電圧 $+V_{ss}$ に接続され、ドレイン18は、抵抗14を介して負電圧 $-V_{ss}$ に接続され、そしてゲート20は、0と $+5V$ の間をスウィングする入力電圧 V_i に接続される。出力電圧 V_o は、PMOSTランジスタ12のドレイン18の電圧である。動作において、入力電圧 V_i が地電位の近傍であるときに、PMOSTランジスタは、オン(ON)である。PMOSTランジスタは、オンであるときに、出力電圧は、おおよそ $+V_{ss}$ になる。しかしながら、入力電圧 V_i が $+5V$ であるときに、PMOSTランジスタは、オフ(OFF)であり、その結果、出力電圧は、 $-V_{ss}$ に近い電圧まで降下する。従って、この回路の出力電圧 V_o は、おおよそ $+V_{ss}$ と $-V_{ss}$ の間をスウィングする。図2を参照すると、 $+V_{ss}$ と $-V_{ss}$ の間の電圧スウィングの一例が示されている。水平軸は、時間を表し、そして垂直軸は、電圧を表す。

【0003】通常、ESD衝撃に耐えるべくディスクリートのトランジスタが十分に大きいので、図1に示された回路は、静電放電(ESD)保護回路を必要としない。しかしながら、もし同じ回路10が集積回路に内蔵されたならば、最小レイアウト領域で集積回路の要素を設計する一般的に受け入れられたプラクティス(practi-

ce)により、破壊からトランジスタを防ぐべく出力トランジスタ上で出力ESD保護回路が要求される。出力トランジスタは、集積回路の外部の要素に接続されたトランジスタであり、かつそれは、ESD保護を必要とする出力トランジスタであるということに注目すべきである。出力ESD保護回路は、回路に印加されたあらゆる負電圧を弾圧する(clamps down)。従って、出力ESD保護のクランプ的な特徴により、集積回路を用いることができないということは、一般的に受け入れられた原理である。本発明を理解するために、単一タブバルクCMOS技術(single tub bulk CMOS technology)で相補形(CMOS)回路で組み立てられた集積MOSTランジスタの構成を学ぶことが必要である。図3を参照すると、p型基板32上に作られたpチャネル型金属酸化物シリコン電界効果トランジスタ(PMOS)30の構成が示されている。p型基板32上のPMOSTランジスタは、n型ウエル(well)またはタブ(tub)34、トランジスタのソース36及びドレイン38として機能するためのn型ウエル34内の二つのp+領域から構成される。金属/ポリ(metal/poly)ゲート40は、n型ウエル34の上方に配置されている。しかしながら、ゲート40は、二酸化シリコンのような層42によってn型ウエル34から絶縁されている。

【0004】典型的に、PMOSTランジスタ30のような構成において、p基板32は、地電位であるチップ上の最も負の電圧に接続され、nウエル34は、チップ上のソース電圧または最も正の電圧、即ち $+5V$ に接続され、そして最後に、ゲート40は、 $0V$ から $+5V$ の範囲における正電圧に接続される。通常、もしトランジスタ30が出力トランジスタであるならば、ESD衝撃からトランジスタを保護すべくESD保護回路が要求される。従来の出力ESD保護回路は、ドレインと基板の間に一般に設置されたn+ダイオードを備えている。ドレインの電圧が基板の $0.7V$ 以下であるときに、n+ダイオードは、順方向バイアスする。過去において、ESD保護回路のクランプ的な特徴により、ドレイン38は、地電位であるp基板32の電圧よりも低い電圧に接続することができないことが一般的な知識であった。しかしながら、ESD保護回路を除去することにより、ドレイン電圧と地電位の間の差がトランジスタの降伏電圧(破壊電圧: breakdown voltage)以下に保たれている限り、ドレイン38は、事実、負電圧(地電位である基板電圧以下)に接続されうる。nウエル34が正電圧 $+V_{ss}$ に接続されているときに、nウエルの電圧とドレイン電圧の間の差が降伏電圧以下に保たれている限り $[V_{ss} > (+V_{ss}) - (-V_{ss})]$ 、ドレイン38は、負電圧 $-V_{ss}$ に接続される。

【0005】PMOSTランジスタのドレインを負電圧(基板電圧以下)に接続できることは、R232インタフェースに対するドライバ、位相配列レーダドライバ、

及びパワーノーマル回路のような多くの異なる応用に利用されうる所望の特徴である負電圧スウィングを達成するための方法を提供する。同じことが、反対の極性だけでn型基板におけるNMOSに適用されることは、注目すべきである。n型基板を有する集積回路において、もしESD保護が除去されたならば、NMOSトランジスタのドレインは、基板電圧以上の電圧に接続されうることである。

【0006】

【発明が解決しようとする課題】本発明の目的は、相補形金属酸化シリコン電界効果(CMOS)回路に組み込まれた金属酸化シリコン電界効果(MOSFET)トランジスタを利用することによりp型及びn型基板に関して大きな負及び正の電圧スウィングを実現する技法を提供することである。本発明は、 $-60V$ のように低くかつ $+60V$ のように高く電圧スウィングを発生することが可能である。本発明は、負及び正電圧スウィング回路に対する設計を提供すべくpチャネルMOSFET(PMOS)トランジスタまたはnチャネルMOSFET(NMOS)トランジスタを利用できる。更に、本発明は、従来技術の負電圧スウィング回路の設計に用いたバルキーなディスクリート要素(bulky discrete elements)を用いることの必要性を除去する。本発明の目的は、p型及びn型基板に関して大きな負及び正電圧スウィングを発生する回路を設計する方法を提供することである。更に、本発明の目的は、本発明の負及び正電圧スウィング回路をCMOS回路に組み込み、従って、負及び正電圧スウィング回路で用いられたディスクリート要素の必要性を除去することである。本発明は、あらゆる集積回路に対して一般に受け入れられた要求事項である出力静電放電(ESD)保護回路の除去に基づく。ESD保護回路を除去することは、ESD保護回路のクランプ的な特徴をも除去し、従って、集積回路の出力が負電圧に接続されうる。これは、オンチップ集積回路の使用で負電圧スウィングを発生させる。

【0007】

【課題を解決するための手段】上述した本発明の目的は、p型の基板と、複数のpチャネル型金属酸化シリコン電界効果トランジスタと、複数のnチャネル型金属酸化シリコン電界効果トランジスタとを備え、pチャネル型金属酸化シリコン電界効果トランジスタ及びnチャネル型金属酸化シリコン電界効果トランジスタのそれぞれは、ソース、ドレイン及びゲートを有し、基板は、地電位に接続され、pチャネル型金属酸化シリコン電界効果トランジスタの少なくとも一つのドレインは、基板の地電位以下の電圧に接続され、かつpチャネル型金属酸化シリコン電界効果トランジスタの少なくとも一つのソースは、基板の地電位以上の電圧に接続される集積装置によって達成される。

【0008】

【作用】本発明の集積装置では、pチャネル型金属酸化シリコン電界効果トランジスタ及びnチャネル型金属酸化シリコン電界効果トランジスタのそれぞれは、ソース、ドレイン及びゲートを有し、基板は、地電位に接続され、pチャネル型金属酸化シリコン電界効果トランジスタの少なくとも一つのドレインは、基板の地電位以下の電圧に接続され、かつpチャネル型金属酸化シリコン電界効果トランジスタの少なくとも一つのソースは、基板の地電位以上の電圧に接続されて、入力電圧が地電位の近傍であるときに、PMOSTランジスタは、オンになり、PMOSTランジスタがオンのときに、出力電圧は、ある一定電圧になる。しかしながら、入力電圧が所定の電圧であるときに、PMOSTランジスタは、オフになり、出力電圧は、別の一定電圧に近い電圧まで降下する。そして、特定の条件下で出力電圧は、地電位と該別の一定電圧の間の相違が降伏電圧より少ない限り、地電位と該別の一定電圧の間をスウィングする。

【0009】

【実施例】本発明は、最小レイアウト領域で集積回路の要素を設計する一般的に受け入れられたプラクティスに逆らってゆくことによって負電圧を発生するために集積回路を用いることができない一般的に受け入れられた原理を無視し、ESD衝撃を扱うためにトランジスタのレイアウト領域を増大し、従って、以前に要求されたESD保護回路を除去する。この変化は、ESD保護回路なしで出力トランジスタをESD衝撃に耐えさせ、かつ集積回路を負電圧スウィング応用に使用させる。トランジスタの大きさは、電流、ソーシング(sourcing)/シンキング(sinking)、応答の速さ等のような異なる要因に依存するということに注目すべきである。図4を参照すると、CMOS回路に組み込まれうるPMOS負及び正電圧スウィング回路50が示されている。本発明において、ディスクリートトランジスタ12(図1参照)及びディスクリート抵抗(図1参照)は、二つのPMOSTランジスタ52、54により置換される。この回路において、PMOSTランジスタ52のソース56は、正電圧 $+V_{DD}$ に接続され、PMOSTランジスタ52のゲート58は、入力電圧 V_i に接続され、そしてPMOSTランジスタ52のドレイン60は、PMOSTランジスタ54のソース62に接続される。活性抵抗(active resistor)としての機能をトランジスタ54に持たせるために、そのゲート64は、そのドレイン66に接続され、ドレイン66は、負電圧 $-V_{DD}$ に接続される。PMOSTランジスタ54のゲート64をそのドレイン66に接続することによって、PMOSTランジスタ54は、活性抵抗として作動する。

【0010】図5を参照すると、二つの低電圧PMOSTランジスタを利用している図4の回路50の構成が示されている。PMOSTランジスタ52の二つのp+領域56、60と、PMOSTランジスタ54の二つのp

+領域62、66は、ソース56、62及びドレイン60、66を生成すべくnウエル72と74にそれぞれ対応して拡散される。金属/ポリゲート58と64は、二酸化シリコンの二つの層76と78によってそれぞれ対応してnウエルから絶縁される。基板70は、P+領域80を介して地電位に接続される。PMOSトランジスタ52のnウエル72とPMOSトランジスタ54のnウエル74が、同じ電位に接続されなければならないか、またはトランジスタ52と54の両方が、同じnウエルに存在しなければならないということは、注目されるべきである。nウエル72とnウエル74は、n+領域82と84を介してそれぞれ対応して最も正の電圧に接続される。図6を参照すると、二つの高電圧PMOSトランジスタを利用している回路50（図4参照）の構成が示されている。図5、図6及び図7に示されたトランジスタの材料の蒸着、エッチング及びパターニング（patterning）の全ての処理段階がこの技術の分野においてよく知られているということは、注目すべきである。図6において、簡略化の目的のため及び図4及び図10を参照できるようにするために、二つのPMOSトランジスタ、ソース領域、ドレイン領域、ゲート、nウエル及び基板は、低電圧トランジスタを利用している回路50の構成（図5参照）で用いられたものと同じ参照番号が与えられている。

【0011】図6に示された構成において、フィールド酸化物の層92、94は、ソース領域56、62に隣接して配置される。また、フィールド酸化物の層96は、ドレイン66とn+領域84の間に配置され、フィールド酸化物の別の層96は、ドレイン60とn+領域82の間に配置される。P-型オフセット領域90は、フィールド酸化物の層92、94及び96の下に配置される。ゲート58、64は、二酸化シリコンの二つの層76、78によってnウエル72、74からそれぞれ対応して絶縁される。オフセット領域90は、高い抵抗を有するためにソース領域56、62の不純物濃度よりも低い不純物濃度を有する。オフセット領域90は、高電圧により生成された電界密度を再分散して、領域56、62の降伏電圧を増大する。図4、図5及び図6の実施例の動作において、入力電圧 V_i が地電位の近傍であるときに、PMOSトランジスタ52と54は、オンである。PMOSトランジスタ52と54がオンのときに、出力電圧は、約 $+V_{ss}$ になる。しかしながら、入力電圧 V_i が $+5V$ であるときに、PMOSトランジスタ52は、オフであり、従って出力電圧は、 $-V_{DD}$ に近い電圧まで降下する。

【0012】nウエル72、74が接地されるときに、出力 V_o は、地電位と $-V_{DD}$ の間の差が降伏電圧より小さい限り、地電位と $-V_{DD}$ の間をスウィングする。例えば、高電圧トランジスタ（図6参照）で、もし降伏電圧が $60V$ であり、 $-V_{DD}$ が $-60V$ であるならば、出力

V_o は、 $0V$ と $-60V$ の間をスウィングする。図8を参照すると、 0 と -60 の間の電圧スウィングの一例が示されている。水平軸は、時間を表し、垂直軸は、電圧を表す。60Vのような高い降伏電圧について、図6の構成が用いられることは、注目すべきである。しかしながら、もし低電圧スウィングが必要であるならば、図5の構成は、その降伏電圧の範囲で負電圧スウィングを供給しうる。図4を再び参照すると、本発明の回路50は、負電圧スウィングを発生するだけでなく正電圧スウィングをも発生することが可能である。図5及び図6において、nウエル72、74が、接地された基板70に関してソース電圧 $+V_{ss}$ のような正電位に接続されるときに、 $+V_{ss}$ と $-V_{DD}$ の間の差が降伏電圧よりも小さい限り、出力 V_o は、 $+V_{ss}$ と $-V_{DD}$ の間をスウィングする。例えば、高電圧トランジスタ（図6参照）で、もし $+V_{ss}$ が $+5V$ であり、降伏電圧 V_{th} が $60V$ であるならば、 $-V_{DD}$ は、 $-55V$ よりも負であることができず、従って出力電圧 V_o は、 $+5V$ と $-55V$ の間をスウィングする。図6の構成において、PMOSトランジスタ52、54は、高電圧トランジスタであり、かつそれらは、高い降伏電圧を有することは、注目すべきである。しかしながら、nウエル72、74は、高電圧に接続されるために設計されていない。従って、nウエル72、74は、 0 から $+5V$ の範囲で電圧を取り扱うことができる。回路50は、図6の構成で、 $-60V$ のように低い負電圧スウィングと、 $+5V$ のように高い正電圧スウィングを有する。しかしながら、もしより高い電圧を有する正電圧スウィングが所望であるならば、nウエル72、74は、より高い電圧を取り扱うべく設計される。

【0013】図7を参照すると、高電圧を扱うべく二つのnウエル72、74を有する二つの高電圧PMOSトランジスタを利用している回路50（図4参照）の構成の好ましい実施例が示されている。図7は、図6に示した構成の改善されたバージョンである。図7において、nウエル74の（ソース62に隣接した）フィールド酸化物92は、nウエル74を越えてかつnウエル72中に伸長され、nウエル72の（ソース56に隣接した）フィールド酸化物92は、nウエル72を越えて伸長され、そして最終的に、n+領域84とp+領域80の間にフィールド酸化物92の別の層が存在する。N-型オフセット領域91は、基板70のフィールド酸化物の層92の下でかつnウエル72、74の外側に配置される。n-型オフセット領域と一緒に追加のフィールド酸化物は、nウエル72、74の電圧取扱い可能性を増大する。従って、図7の構成で、nウエル72、74は、 $+60V$ のような高い電圧に接続される。この可能性は、回路50（図4参照）の電圧スウィングを、高い正電圧と同様に高い負電圧を有するようにさせる。従って、高電圧nウエルを有する高電圧トランジスタは、

+60Vのような高い電圧にnウェルを接続する可能性を提供し、かつ-60Vのような高い負電圧にドレインを接続する可能性をも提供する。これらの特性で、異なるスウィングが発生せらる。例えば、もし降伏電圧が60Vでありかつ V_{ss} が+15Vであるならば、 $-V_{ss}$ は、-45Vよりも負であるべきではない。この構成において、出力電圧 V_o は、+15Vと-45Vの間をスウィングする。図9を参照すると、+15と-45の間の電圧スウィングの一例が示されている。水平軸は、時間を表し、かつ垂直軸は、電圧を表わす。

【0014】高い正電圧(nウェル電圧)と高い負電圧($-V_{ss}$)の間の電圧差は、降伏電圧以下に保たれるべきであるということは、常に注目されるべきである。例えば、もし降伏電圧が60Vでありかつnウェルが+50Vまたは+30Vに接続されるならば、ドレインは、-10Vまたは-30Vにそれぞれ対応して接続せらる。あらゆる高電圧PMOSは、本実施例に開示された高電圧PMOSを置換しう。図10を参照すると、もしソース電圧 V_{ss} が+5V以上であるならば、TTL(トランジスタ-トランジスタロジックレベル(0から+5V))から V_{ss} と合致するレベルへ入力電圧 V_i をシフトするためにレベル変換器(level translator)100が必要であることは、更に注目されるべきである。図11を参照すると、TTL入力電圧 V_i の電圧スウィングが示されている。水平軸は、時間を表し、垂直軸は、電圧を表わす。入力電圧 V_i は、0Vと+5Vの間をスウィングし、かつスウィング範囲(最高電圧と最低電圧の間の差)は、5Vである。図12を参照すると、ソース電圧 V_{ss} =+10Vに合致するシフトされた入力電圧の一例が示されている。水平軸は、時間を表し、垂直軸は、電圧を表わす。図10を再び参照すると、例えば、もしソース電圧 V_{ss} =+10Vでかつ入力電圧 V_i がTTL入力であるならば、レベル変換器100は、シフトされた入力電圧が+5Vと+10Vの間でスウィングする(図12参照)ようにそのTTLレベルから入力電圧 V_i をシフトしなければならない。換言すると、スウィング範囲は、5Vに保たれるが、しかし入力電圧の最低電圧レベルと最高電圧レベルは、+5Vと+10Vの新たなレベルへそれぞれ対応してシフトされる。

【0015】図13を参照すると、負の電圧レベルを認識すべく利用されたPMOSTランジスタの別の応用であるパワーノーマル回路(power normal circuit)100が開示されている。パワーノーマル回路100は、抵抗112、オペアンプ114、及び簡略化の目的で4つのトランジスタ116、118、120及び134だけが示されている10個のPMOSTランジスタから構成される。これら10個のトランジスタのそれぞれは、-1Vに等しいしきい値電圧を有する。PMOSTランジスタ116~134は、それらのドレインに接続された

それらのゲートを有する。PMOSTランジスタ116のドレインは、PMOSTランジスタ118のソースに接続され、そしてPMOSTランジスタ118のドレインは、PMOSTランジスタ120のソースに接続される。同様に、示されていない全てのPMOSTランジスタは、互いに接続され、かつPMOSTランジスタ134のドレインは、負電圧 $-V_{ss}$ に接続される。PMOSTランジスタ116のソースは、ノード(節)140に接続され、ノード140は、抵抗112を介して正電圧+5Vに接続される。ノード140は、オペアンプ114の逆相入力端子にも接続される。オペアンプ114の正相入力端子は、基準電圧 V_{ref} に接続される。

【0016】動作において、回路110は、センサとして機能する。負電圧 $-V_{ss}$ が-5Vよりも負になる毎に、オペアンプ114の出力は、信号を送り出す。負電圧 $-V_{ss}$ が-5Vよりも少ない負であるときは、+5Vと $-V_{ss}$ の差は、10ボルト以下である。各トランジスタのしきい値電圧は-1Vでありかつ10個のトランジスタが存在するので、トランジスタをオンにするためにノード140と $-V_{ss}$ にわたり少なくとも10ボルトの差が存在すべきである。従って、負電圧 $-V_{ss}$ が-5Vよりも少ない負であるときに、回路は、不活性であり、かつノード140は+5Vである。しかしながら、負電圧 $-V_{ss}$ が-5Vよりも負になるときは、トランジスタは、オンになりそしてノード140の電圧は、降下し始める。負電圧 $-V_{ss}$ がより負になると、ノード140の電圧は、より降下する。図14を参照すると、負電圧 $-V_{ss}$ の関数としてノード140の電圧の曲線が示されている。水平軸は、負電圧 $-V_{ss}$ を表し、垂直軸は、ノード140の電圧を表わす。観察せらるるように、ノード140の電圧は、負電圧 $-V_{ss}$ が-5Vよりも少ない負である時間中5Vにとどまり、そして負電圧 $-V_{ss}$ が-5Vよりも負になると、それは降下し始める。ノード140の電圧がオペアンプの基準電圧(V_{ref})のレベルまで降下するときに、オペアンプ114の出力電圧は、切り替わる。図15を参照すると、図14に示す曲線に対応するオペアンプ114の出力電圧の曲線が示されている。水平軸は、負電圧 $-V_{ss}$ を表し、そして垂直軸は、ノード142の電圧で示されるオペアンプの出力電圧を表わす。図14及び図15の両方を参照すると、観察せらるるように、ノード140の降下電圧が V_{ref} に到達するときは、オペアンプの出力電圧は、+5Vから地電位に近い電圧へ切り替わる。

【0017】発明の開示された実施例は、NMOSTランジスタを利用して設計せらるるということは、注目すべきである。図16を参照すると、正及び負電圧スウィングを有することが可能なNMOST回路の回路図150が示されている。NMOSTランジスタ154のゲート152は、そのドレイン156に接続され、そしてドレイン156は、正電圧 $+V_{ss}$ に接続される。NMOST

ランジスタ154のソース158は、NMOSトランジスタ162のドレイン160に接続される。トランジスタ162のソース164は、負電圧 $-V_{ss}$ に接続され、そしてNMOSトランジスタ162のゲート166は、入力電圧 V_i に接続される。出力電圧 V_o は、NMOSトランジスタ154のソース158の電圧である。図17を参照すると、図16の回路150の構成が示されている。簡略化のため、回路150の構成は、二つの低電圧NMOSトランジスタで示されている。NMOSトランジスタ154の二つの $n+$ 領域156、158と、NMOSトランジスタ162の二つの $n+$ 領域160、164は、ソース158、164とドレイン156、160を生成すべくpウェル170、172にそれぞれ対応して拡散される。金属/ポリゲート152、166は、二酸化シリコンの二つの層174、176によってnウェルからそれぞれ対応して絶縁される。

【0018】n型基板180は、 $n+$ 領域182を介して+5Vのような正電圧に接続される。NMOSトランジスタ154のpウェル170とNMOSトランジスタ162のpウェル172は、同じ電位に接続されなければならないか、または両方のトランジスタ154、162は、同じpウェル内でなければならない。pウェル170とpウェル172は、それぞれ対応して $p+$ 領域184、186を介して負電圧に接続される。もしNMOSトランジスタ154、162が高電圧を取り扱うべく設計されるならば、NMOSトランジスタ154のドレイン156は、+60Vのような正電圧に接続されることができ、そしてもしトランジスタ154、162のpウェルが高電圧を取り扱うべく設計されるならば、NMOSトランジスタ162のソース164は、-60Vのような負電圧に接続されることができ、しかしながら、正電圧(+ V_{DD})と負電圧(nウェル電圧)の間の差は、降伏電圧以下に保たれるべきであるというとは、常に注目されるべきである。本発明の原理が、シリコンオンインシュレータ(SOI)、シリコンオンサファイア(SOS)、絶縁層分離CMOS(DI)、バイポーラCMOS処理(BCD)等のような他の技術にも適用されうることとは、理解されるべきである。

【0019】

【発明の効果】本発明の集積装置は、p型の基板と、複数のpチャネル型金属酸化シリコン電界効果トランジスタと、複数のnチャネル型金属酸化シリコン電界効果トランジスタとを備え、pチャネル型金属酸化シリコン電界効果トランジスタ及びnチャネル型金属酸化シリコン電界効果トランジスタのそれぞれは、ソース、ドレイン及びゲートを有し、基板は、地電位に接続され、pチャネル型金属酸化シリコン電界効果トランジスタの少なくとも一つのドレインは、基板の地電位以下の電圧に接続され、かつpチャネル型金属酸化シリコン電界効果トランジスタの少なくとも一つのソースは、

基板の地電位以上の電圧に接続されるので、ESD保護回路なしでESD衝撃に耐えることができ、かつ正及び負電圧スウィングにも適用することができる。

【図面の簡単な説明】

【図1】ディスクリット抵抗で作られた従来のRS232ドライバの回路図である。

【図2】正電圧と負電圧の間の従来技術の電圧スウィングの曲線を示す図である。

【図3】p基板上に作られた従来技術のpチャネル金属酸化シリコン電界効果トランジスタ(PMOS)の構成を示す図である。

【図4】二つのPMOSトランジスタを利用している本発明のRS232ドライバの集積回路図である。

【図5】二つの低電圧トランジスタを利用している図4の回路の構成を示す図である。

【図6】二つの高電圧トランジスタを利用している図4の回路の構成を示す図である。

【図7】高電圧を取り扱うべく設計された二つのnウェル領域を有する二つの高電圧トランジスタを利用している図4の回路の構成を示す図である。

【図8】地電位と負電圧の間をスウィングする本発明の電圧スウィングの曲線を示す図である。

【図9】正電圧と負電圧の間をスウィングする本発明の電圧スウィングの曲線を示す図である。

【図10】レベル変換器に関連した図4の回路を示す図である。

【図11】入力電圧スウィングの曲線を示す図である。

【図12】シフトされた後の図11の入力電圧スウィングの曲線を示す図である。

【図13】本発明のパワーノーマル応用の回路図である。

【図14】図13のノード140の電圧の曲線を示す図である。

【図15】図13のノード142の電圧の曲線を示す図である。

【図16】二つのNMOSトランジスタを利用している本発明のRS232の集積回路図である。

【図17】二つの低電圧トランジスタを利用している図16の回路の構成を示す図である。

【符号の説明】

50 PMOS負及び正電圧スウィング回路

52, 54 PMOSトランジスタ

56 PMOSトランジスタ52のソース

58 PMOSトランジスタ52のゲート

60 PMOSトランジスタ52のドレイン

62 PMOSトランジスタ54のソース

64 PMOSトランジスタ54のゲート

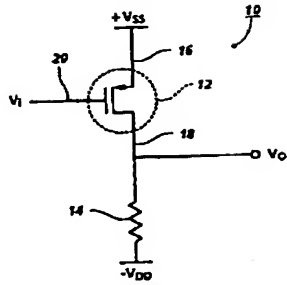
66 PMOSトランジスタ54のドレイン

V_i 入力電圧

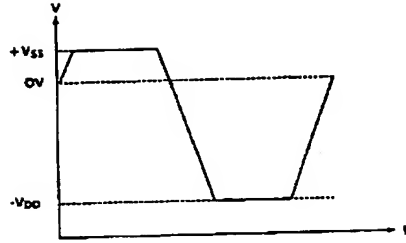
V_o 出力電圧

$+V_{SS}$ 正電圧* * $-V_{DD}$ 負電圧

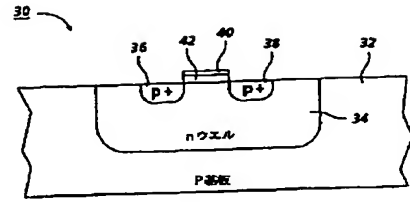
【図1】



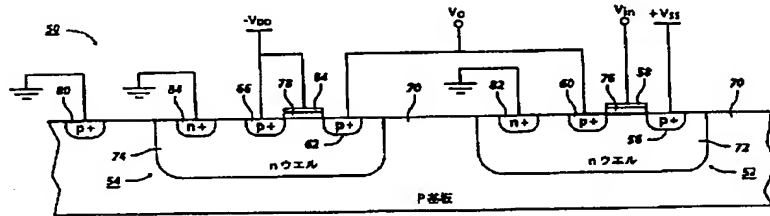
【図2】



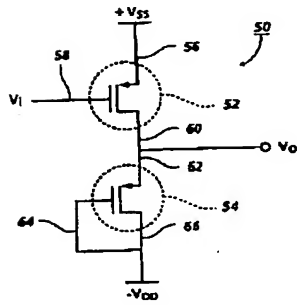
【図3】



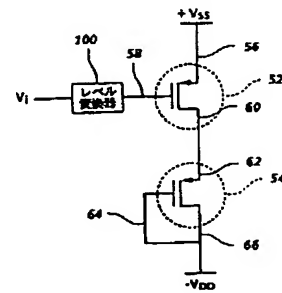
【図5】



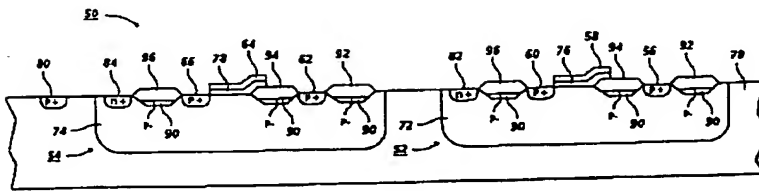
【図4】



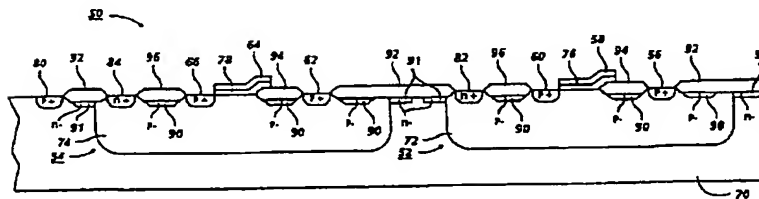
【図10】



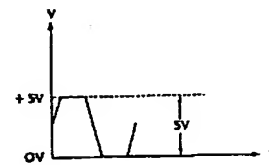
【図6】



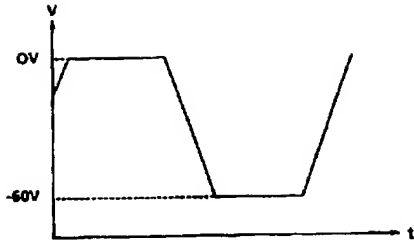
【図7】



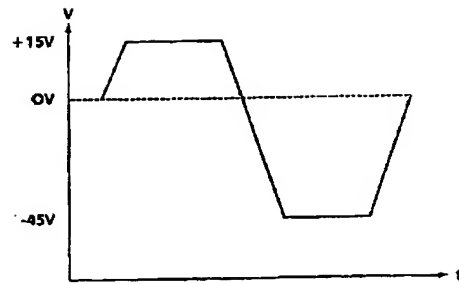
【図11】



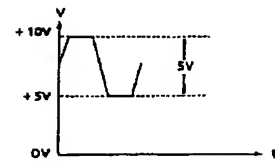
【図8】



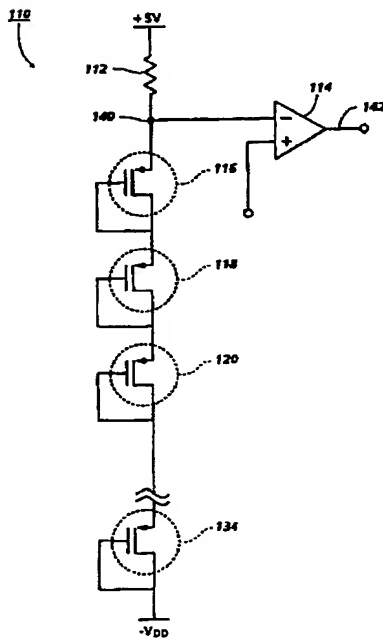
【図9】



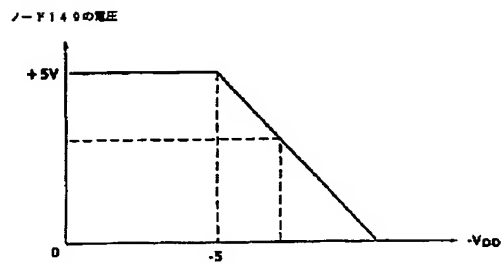
【図12】



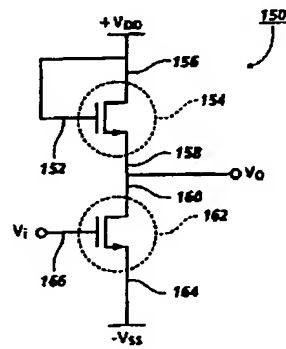
【図13】



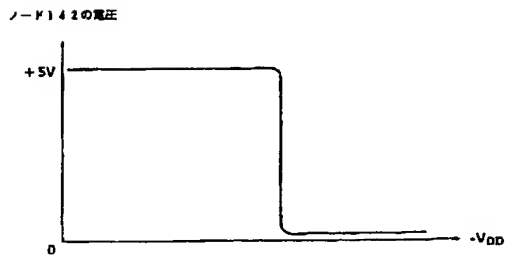
【図14】



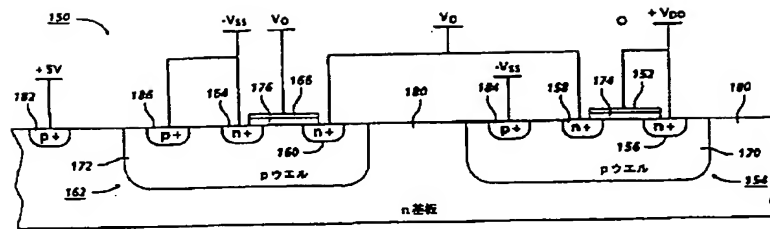
【図16】



【図15】



【図17】



フロントページの続き

(72)発明者 テュアン ヴォー
 アメリカ合衆国 カリフォルニア州
 90250 ホーソーン ウェスト ワンハン
 ドレッドアンドサーティエイス ストリー
 ト 5126

(72)発明者 ジャイム ラーマ
 アメリカ合衆国 カリフォルニア州
 90305 オックスナード シューナー ウ
 ォーク 3530
 (72)発明者 スティーヴン エイ ビューラー
 アメリカ合衆国 カリフォルニア州
 90278 レドンド ビーチ ハーリマン
 レーン 1916 アpartment エイ

THIS PAGE BLANK (USPTO)